

RELACS (Reliable and Large-Scale Computer System)

Research Lab

1. 지도교수: 이효근 (원천관 403호, 이메일: hyokeunlee@ajou.ac.kr, 전화: 2369)

2. 연구분야

- SoC security
- Resource disaggregation
- Memory reliability
- Computer architecture simulation

3. 학력

2016. 09 — 2021. 08 서울대학교 전기정보공학 박사, 비휘발성 메모리 아키텍처 전공
Computer Architecture and Parallel Processing Lab

2011. 09 — 2016. 08 서울대학교 전기컴퓨터공학부 학사

4. 주요경력

2023. 02 — 2024. 01 North Carolina State University 박사후연구원

2021. 09 — 2023. 01 서울대학교 반도체공동연구소 연수연구원(박사후연구원)

5. 논문 (Selected Top Journal & Conference Publication)

- [1] Debratim Adak, Hyokeun Lee, Ben Feinberg, Gwendolyn Voskuilen, Clayton Hughes, Huiyang Zhou, Amro Awad, “SEFsim: A Statistically-Guided Fast DRAM Simulator”, *IEEE International Symposium on Performance Analysis of Systems and Software (ISPASS)*, May. 2024 [Poster]
- [2] Rahaf Abdullah, Hyokeun Lee, Huiyang Zhou, Amro Awad, “Salus: Efficient Security Support for CXL-Expanded GPU Memory”, *International Symposium on High-Performance Computer Architecture (HPCA)*, Mar. 2024 [Top-Tier]
- [3] Shubham Nema, Shiva Kaushik Chunduru, Charan Kodigal, Gwendolyn Voskuilen, Scott Hemmert, Hyokeun Lee, Amro Awad, “ERAS: A Flexible and Scalable Framework for Seamless Integration of RTL Models with Structural Simulation Toolkit”, *International Symposium on Workload Characterization (IISWC)*, Oct. 2023 [Poster]
- [4] Hyokeun Lee, Kwansoek Choi, Hyuk-Jae Lee, Jaewoong Sim, “SDM: Sharing-enabled Disaggregated Memory System with Cache Coherent Compute Express Link”, *International Conference on Parallel Architectures and Compilation Techniques (PACT)*, Oct. 2023 [Top-Tier]
- [5] Faiz Alam[^], Hyokeun Lee[^], Abhishek Bhattacharjee, Amro Awad, “CryptoMMU: Enabling Secure and Scalable Access Control of Third-Party Accelerators”, *IEEE/ACM International Symposium on Microarchitecture (MICRO)*, Oct. 2023 [Top-Tier, Best Paper Runner-up] ([^]: equal contribution)
- [6] Hyokeun Lee, Seungyong Lee, Byeongki Song, Moonsoo Kim, Seokbo Shim, Hyuk-Jae Lee, Hyun Kim, “An In-Module Disturbance Barrier for Mitigating Write Disturbance in Phase-Change Memory”, *IEEE Transactions on Computers*, April. 2023 [SCIE]
- [7] Hyokeun Lee, Hyuk-Jae Lee, Hyun Kim, “A Read Disturbance Tolerant Phase Change Memory System for CNN Inference Workloads”, *Journal of Semiconductor Technology and Science*, Aug. 2022 [SCIE]
- [8] Hyokeun Lee, Hyungsuk Kim, Seokbo Shim, Seungyong Lee, Hyuk-Jae Lee, Hyun Kim, “PCMCsim: An Accurate Phase-Change Memory Controller Simulator and its Performance Analysis”, *IEEE International Symposium on Performance Analysis of Systems and Software (ISPASS)*, May. 2022
- [9] Hyokeun Lee, Moonsoo Kim, Hyunchul Kim, Hyun Kim, Hyuk-Jae Lee, “Integration and Boost of a Read-Modify-Write Module in Phase Change Memory System”, *IEEE Transactions on Computers*, Dec. 2019 [SCIE]
- [10] Sunwoong Kim, Hyunmin Jung, Woojae Shin, Hyokeun Lee, Hyuk-Jae Lee, “HAD-TWL: Hot Address

Detection-based Wear Leveling for Phase-Change Memory Systems with Low Latency”, *IEEE Computer Architecture Letters*, July. 2019 [SCIE]

6. 연구실 현황 (<https://relacslab.github.io>)

- 학생연구실: 원천관 339-2호
- 인원: 모집 예정
- 석/박사 과정 학생 모집
 - CPU, GPU, SoC, 메모리 시스템 등 아키텍처에 관심 있는 학생
 - 운영체제 및 시스템 보안 등 컴퓨터 시스템에 관심 있는 학생
 - C++/C에 자신 있는 학생

7. 연구 내용

- Resource Disaggregation

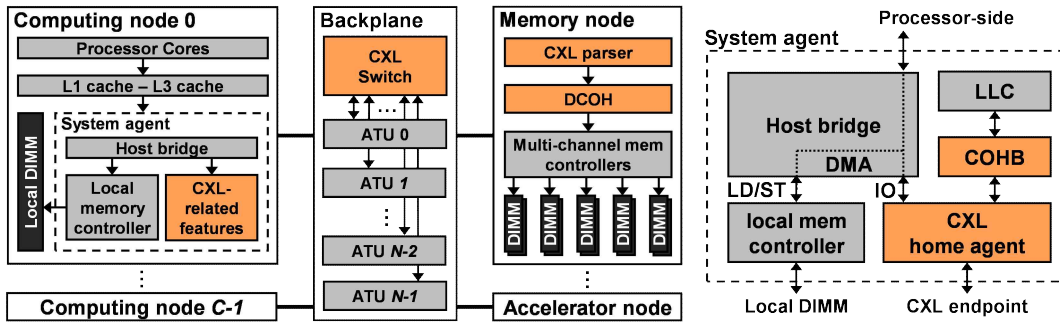


그림 82 리소스 분산화가 적용된 데이터센터 아키텍처

데이터센터에서 구동되는 애플리케이션의 연산 복잡도 및 필요한 메모리 용량이 지속적으로 증가함에 따라 컴퓨팅 및 메모리 리소스를 효율적으로 구축하는 방식이 필요하다. 기존에는 프로세서, 메모리, 서버용 운영체제, 하드디스크 등을 구비해 새로운 서버 노드를 만들어 리소스를 확보하였다. 하지만, 이러한 방식의 리소스 확보는 불필요한 코스트를 유발하게 된다. 최근에는 효율적인 리소스 확보를 위해 메모리 또는 가속기 등 특정 리소스만을 하나의 독립적인 노드로 구성하는 분산화가(disaggregation) 주목받고 있다. 본 연구에서는 효율적인 리소스 분산화 아키텍처를 설계하기 위해 아래와 같은 연구를 수행한다:

- 아키텍처 레벨에서 분산화 시스템을 평가하기 위한 시뮬레이션 환경 구축
- 분산화 노드 접근 시간을 최소화하기 위한 CXL 인터페이스 기반의 OS-transparent 아키텍처 설계
- 공유 리소스로써 사용되는 분산화 노드서 데이터를 보호하기 위한 보안성이 높은 고성능 아키텍처 설계
- 데이터센터의 멀티테넌시(multi-tenancy)를 반영한 데이터 분리 기반의 데이터 관리 기법 설계

Related publication: [2], [3], [4]

- Highly Scalable Soc Architecture

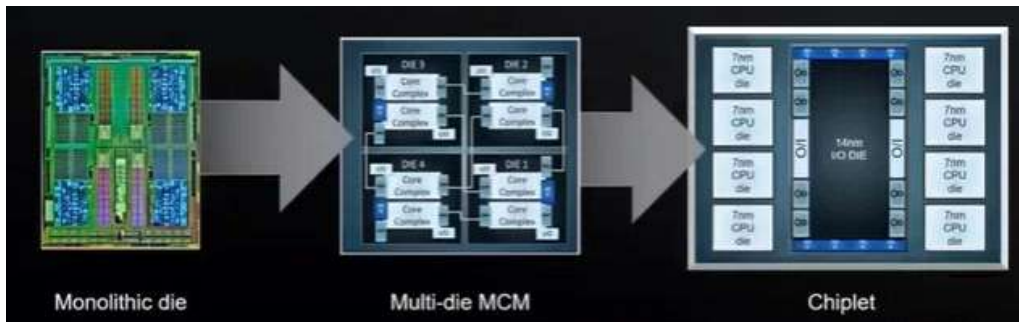


그림 83 SoC 설계 변화 패러다임

무어의 법칙 덕에 트랜지스터의 크기는 점차 줄어들어 System-on-Chip (SoC)의 집적도는 지속적으로 향상되었다. 하지만, SoC 내의 기능 수가 증가함에 따라 회로의 복잡도가 높아지면서 수율이 오히려 낮아지고 전반적인 생산 코스트가 늘어나고 있다. 최근에는 수율 문제를 해결하기 위해 이미 생산된 작은 칩을 연결하는 칩렛(chiplet) 기술이 주목받고 있다. 하지만, 칩렛은 기존과 다른 칩양산 생태계 양상을 띠고 있으며, 이에 따른 새로운 보안 문제들이 발생하길 마련이다. 본 연구에서는 이러한 보안 문제들을 포함한 여러 SoC 시스템 아키텍처를 설계한다:

- 고성능 칩렛 설계를 위한 분산화 아키텍처 설계
- 고성능 분산형 메모리 칩렛을 보호하기 하드웨어 기반 보안기술 개발
- 보안성인 보장된 가속기 중심 SoC 설계
- 고확장성 지능형 메모리 SoC 설계

Related publication: [4], [5]

• Non-Volatile Memory Systems

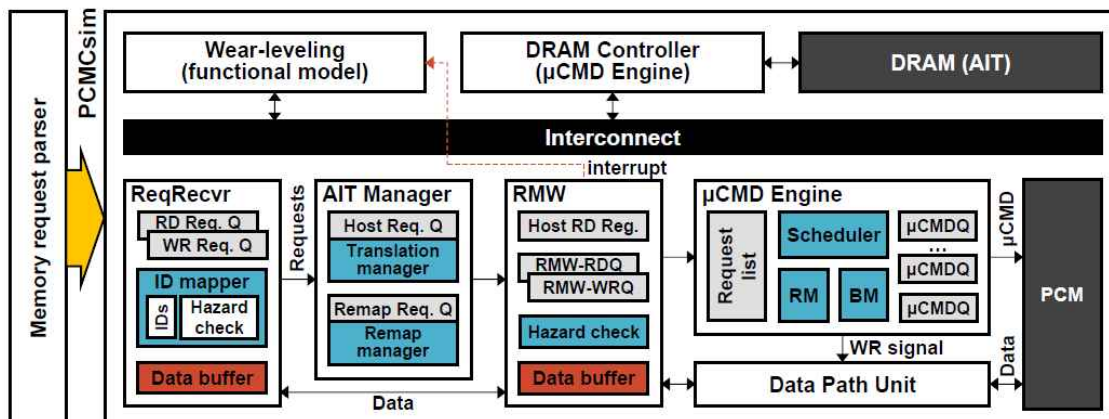


그림 84 신뢰성 있게 비휘발성 메모리 제어를 위한 컨트롤러 아키텍처

최근 데이터센터뿐만 아니라 엣지 디바이스에서 딥러닝 및 대형 자연어처리(LLM) 모델 등을 구동하는 경우가 많아짐으로써 대용량의 데이터를 저장할 고집적 메모리가 필요하게 되었다. PRAM, STT-MRAM, 그리고 ReRAM 등의 비휘발성 메모리 소자는 바이트 단위로 접근이 가능할 뿐만 아니라 집적도 및 대기전력 특성 또한 기존 DRAM 대비 매우 우수한 특성을 보여 차세대 주 메모리 소자로 주목을 받고 있다. 본 연구에서는 비휘발성 메모리에서 발생할 수 있는 문제점들을 찾고 이를 해결하도록 한다:

- 비휘발성 메모리 기반 엣지 디바이스 플랫폼 아키텍처 설계
- 비휘발성 메모리의 하이레이턴시를 극복하기 위한 메모리 컨트롤러 아키텍처 설계
- 비휘발성 메모리의 낮은 신뢰성을 극복하기 위한 메모리 컨트롤러 아키텍처 설계

Related publication: [6], [7], [8], [9], [10]