

양자컴퓨팅 소프트웨어 및 시스템 연구실 (Quantum Computing Software & Systems Lab)

1. 지도교수: 박성혜

(원천관417호, sunghyepark@ajou.ac.kr, <https://sites.google.com/view/qcss-lab/>, 3534)

2. 연구 분야:

- (1) 양자 소프트웨어 설계 (새로운 양자 하드웨어를 위한 양자 회로 매핑)
- (2) 양자 컴퓨터 시스템 설계 (양자 운영체제, 양자 프로세스 스케줄링)
- (3) 양자 컴퓨터 하드웨어-소프트웨어 동시 최적화 (양자 오류 정정 및 관리)
- (4) 양자 컴퓨팅과 머신러닝의 융합 (양자 머신 러닝, 양자 소프트웨어 및 시스템 개발을 위한 머신러닝 적용)

3. 학력

- 2015.03 - 2019.02 경북대학교 전자공학부 학사
- 2019.02 - 2021.02 포항공과대학교 전자전기공학과 석사
- 2021.02 - 2024.08 포항공과대학교 전자전기공학과 박사

4. 연구 경력

- 2023.08 - 2024.02 원혜공과대학교 방문연구원 (Chair for Design Automation)
- 2024.09 - 2025.02 포항공과대학교 박사후연구원
- 2025.03 - 현재 아주대학교 전자공학과 조교수

5. 논문 · 특허

가. 논문 현황:

- (1) 국제 SCI(E)급 논문

- [J1] Sunmean Kim, Sung-Yun Lee, Sunghye Park, and Seokhyeong Kang, "A Logic Synthesis Methodology for Low-Power Ternary Logic Circuits," IEEE Transactions on Circuits and Systems I: Regular Papers (TCAS-I), Vol.97(9), pp.3138-3151, 2020.
- [C9] Dohun Kim, Sunghye Park, and Seokhyeong Kang, "Neural Circuit Parameter Prediction for Efficient Quantum Data Loading," IEEE/ACM Design, Automation and Test in Europe Conference & Exhibition (DATE), 2025.
- [C8] Sunghye Park, Dohun Kim, and Seokhyeong Kang, "HiLight: A Comprehensive Framework for High-Performance and Lightweight Scalability in Surface Code Communication," ACM/IEEE Design Automation Conference (DAC), 2024.
- [C7] Ludwig Schmid, Sunghye Park, and Robert Wille, "Hybrid Circuit Mapping: Leveraging the Full Spectrum of Computational Capabilities of Neutral Atom Computers," ACM/IEEE Design Automation Conference (DAC), 2024.
- [C6] Seongbin Kwon, Dohun Kim, Sunghye Park, Seojeong Kim, and Seokhyeong Kang, "QNSA: Quantum Neural Simulated Annealing for Combinatorial Optimization," IEEE/ACM International Symposium on Quality Electronic Design (ISQED), 2024.
- [C5] Kyungjun Min, Seongbin Kwon, Sung-Yun Lee, Dohun Kim, Sunghye Park, and Seokhyeong Kang, "ClusterNet: Routing Congestion Prediction and Optimization using Netlist Clustering and Graph Neural Networks," IEEE/ACM International Conference on Computer-Aided Design (ICCAD), 2023.

- [C4] Sunghye Park, Dohun Kim, Jae-Yoon Sim, and Seokhyeong Kang, "MCQA: Multi-Constraint Qubit Allocation for Near-FTQC Device," IEEE/ACM International Conference on Computer-Aided Design (ICCAD), 2022.
- [C3] Sunghye Park, Daeyeon Kim, Minhyuk Kweon, Jae-Yoon Sim, and Seokhyeong Kang, "A Fast and Scalable Qubit-Mapping Method for Noisy Intermediate-Scale Quantum Computers," ACM/IEEE Design Automation Conference (DAC), 2022.
- [C2] Sunghye Park, Sunmean Kim, and Seokhyeong Kang, "Multi-Threshold Voltages Graphene Barristor-Based Ternary ALU," IEEE International SoC Design Conference (ISOCC), 2019.
- [C1] Sunmean Kim, Sung-Yun Lee, Sunghye Park, and Seokhyeong Kang, "Design of Quad-Edge-Triggered Sequential Logic Circuits for Ternary Logic," IEEE International Symposium on Multiple-Valued Logic (ISMVL), 2019.

(2) 국내 논문

- [D1] 박성혜, 김선민, 이승윤, 강석형, "다중 문턱전압 그래핀 배리스터 기반 삼진 ALU 설계," IEIE SoC 학술대회, 2019.
(* 우수발표논문상 수상)

나. 특허 현황: 국제 특허 3건, 국내 특허 3건 등록, 국제 특허 2건, 국내 특허 2건 출원

- [P5] Seokhyeong Kang, Sunghye Park, Jae-Yoon Sim, Minhyuk Kweon, "QUBIT MAPPING METHOD AND QUANTUM APPARATUS USING THE SAME" (Applied: US 18/618,898 (2024-03-27) / 출원: KR 10-2023-0156509 (2023-11-13))
- [P4] Seokhyeong Kang, Sunghye Park, Jae-Yoon Sim, Dohun Kim, "MULTI-CONSTRAINT QUBIT ALLOCATION METHOD AND QUANTUM APPARATUS USING THE SAME" (Applied: US 18/542,385 (2023-12-15) / 출원: KR 10-2023-0125128 (2023-09-19))
- [P3] Seokhyeong Kang, Sunmean Kim, Sung-Yun Lee, Sunghye Park, "TERNARY LOGIC CIRCUIT" (Registered: US 11,868,740 (2024-01-09) / 등록: KR 10-2505205 (2023-02-24))
- [P2] Seokhyeong Kang, Sunmean Kim, Sung-Yun Lee, Sunghye Park, "TERNARY LOGIC CIRCUIT" (Registered: US 11,533,054 (2022-12-20) / 등록: KR 10-2505200 (2023-02-24))
- [P1] Seokhyeong Kang, Sunmean Kim, Sung-Yun Lee, Sunghye Park, "APPARATUS FOR LOW POWER TERNARY LOGIC CIRCUIT" (Registered: US 11,817,858 (2023-11-14) / 등록: KR 10-2348169 (2022-01-03))

6. 수상실적

- 1) 우수발표논문상, 2019 SoC 학술대회, 대한전자공학회 (May. 2019)
- 2) Honorable mention, 2020 ISPD Contest (Wafer-Scale Deep Learning Accelerator Placement), SIGDA (Sep. 2020)
- 3) 1st Place Winner, 2022 QML Overall Challenge @ qBraid HAQS, qBraid (Nov. 2022)
- 4) 최우수상, 제 2회 POSTECH-EE 우수 연구성과 경진대회, 포항공과대학교 전자전기공학과, (Jan. 2023)
- 5) 장려상, 제 3회 POSTECH 우수성과 경진대회, 포항공과대학교 (Feb. 2023)
- 6) 2023 포스테키안펠로우십 혁신분야 장학증서, 포항공과대학교 (May. 2023)
- 7) 2023 정진용 장학증서, 반도체공학회 (Dec. 2023)

7. 연구과제 수행

(1) 수행 중인 과제

- Development of Quantum Operating System and Integrated Optimization System for Multi-QPU, 한국연구재단 (우수 연구-신진연구/세종과학펠로우십(국내트랙)), 연구개발책임자 (2025.3-)

- Development of Novel Qubit-Mapping Methodologies for Next Generation Quantum Hardware, 아주대학교 (신임교원 정착연구지원), 연구개발책임자 (2025.3-)

(2) 완료 과제

- Scalable Quantum Computer Technology Platform Center, 한국연구재단 (선도연구센터 ERC), 참여연구원 (2019.7-2025.2)

Memcapacitor-based Multi-Valued Logic Architecture Research, 한국연구재단 (미래소재디스커버리개발사업), 참여연구원 (2019.2-2023.2)

- Graphene Barristor-based Ternary Logic Architecture Research, 한국연구재단 (나노소재기술개발사업), 참여연구원 (2019.2-2021.7)

8. 연구실 현황

가. 연구실 (원339-2호, 전화: 3534), 홈페이지 (<http://sites.google.com/view/qcss-lab/>)

나. 연구원: 석박사과정: 모집중, 학부연구생: 5명

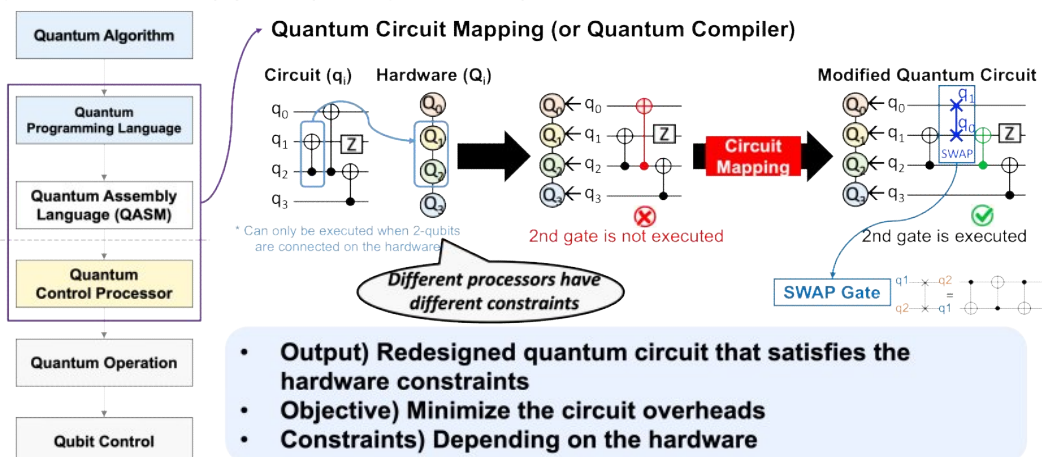
다. 지원 사항

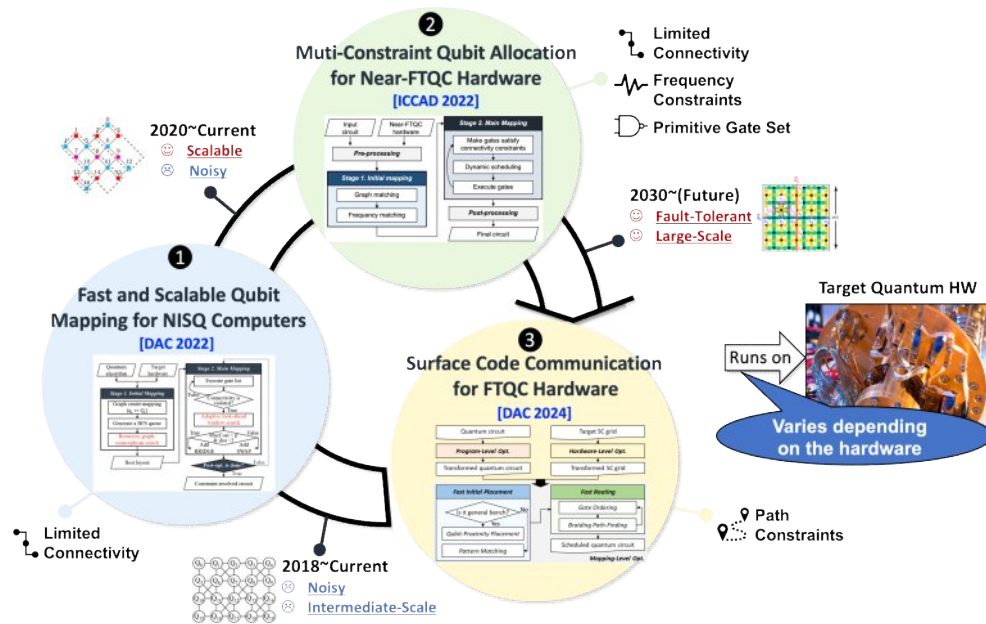
1. 석/박사 등록금 지원
2. 연구 인센티브 지원
3. 국내외 학술대회 참석 지원
4. SCIE급 국제 저널 논문 작성 지원
5. 국가 및 산학 프로젝트 참여 지원

9. 연구 내용

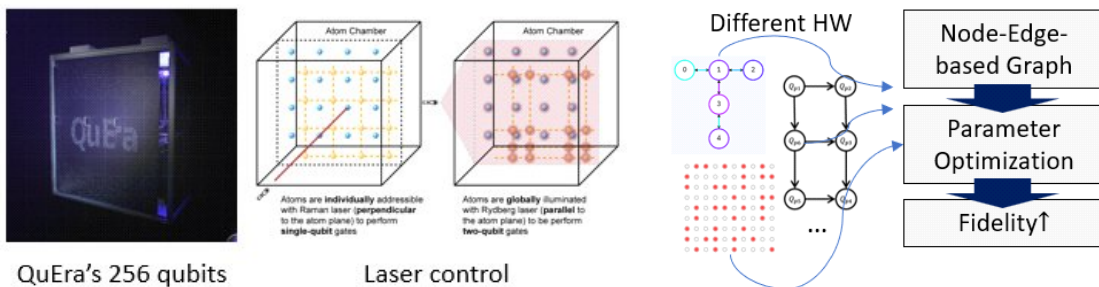
(1) 양자 컴파일러 설계

- 다양한 양자 하드웨어 개발 상황을 바탕으로 양자 컴파일 방법론 설계





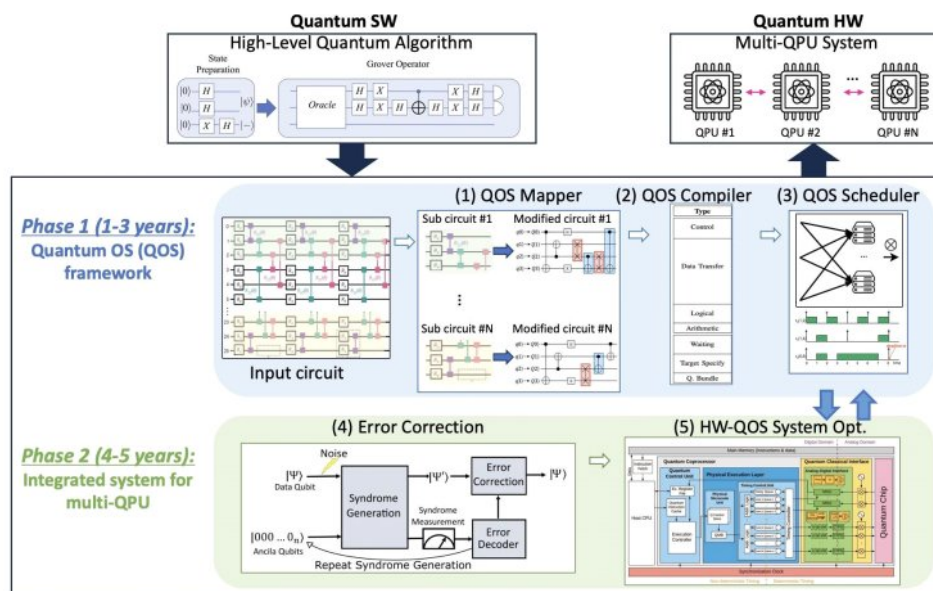
- 중성원자 하드웨어를 위한 Hybrid 양자 컴파일러 설계 / 양자 컴파일러 Generalization 기술 개발



- 미래형 오류내성 양자컴퓨팅 (Fault-Tolerant QC) 을 위한 양자 컴파일 방법론 설계

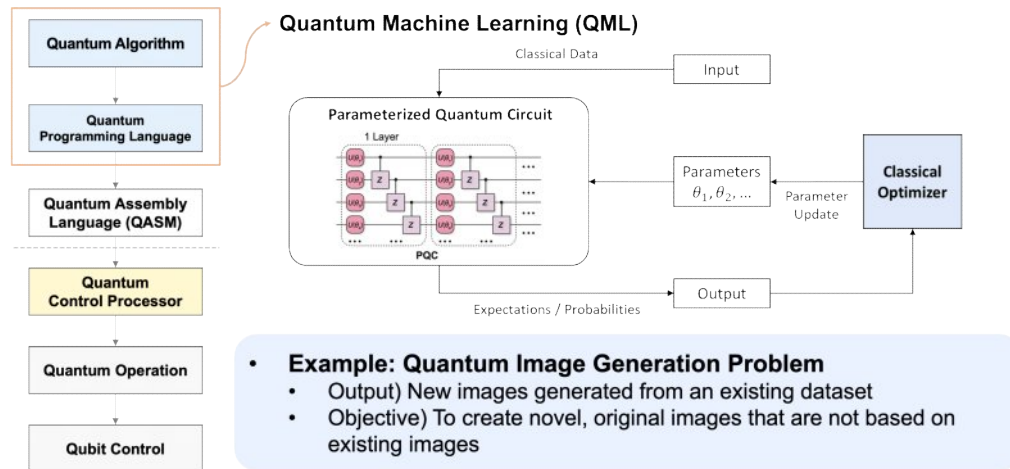
(2) 양자 컴퓨터 시스템 설계

- 다중 양자 프로세싱 유닛 (Multi Quantum Processing Unit (Multi-QPU))을 위한 양자 운영체제 및 통합 최적화 시스템 개발



- Multi-QPU 를 위한 큐비트 매핑 기술 개발 및, 명령어 컴파일러, 정적 및 동적 스케줄러 개발
- Multi-QPU 를 위한 오류 정정 및 하드웨어-운영체제 소프트웨어 최적화 연구

(3) 양자 컴퓨팅과 머신러닝 융합 연구



(4) 그외 양자 컴퓨팅 소프트웨어 및 시스템 관련 연구

